

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-232784
 (43)Date of publication of application : 18.09.1989

(51)Int.Cl.

H01S 3/18

(21)Application number : 63-058261

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.03.1988

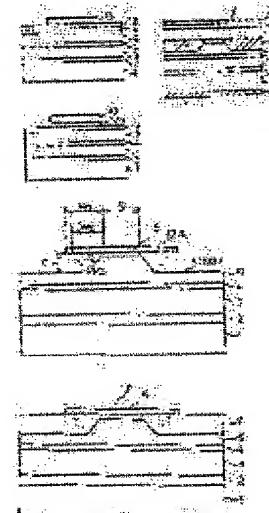
(72)Inventor : TANAKA TOSHIAKI
 YAMASHITA SHIGEO
 KAJIMURA TAKASHI

(54) MANUFACTURE OF LIGHT EMITTING ELEMENT OF SEMICONDUCTOR

(57)Abstract:

PURPOSE: To make a step buried to be flat so as to obtain a planar laser element which is small in an inner resistance and almost free from a crystalline defect by a method wherein a ridge step is formed using an insulating film mask whose width is larger than that of the ridge.

CONSTITUTION: An insulating film 12 is formed above a clad layer 5 and a p-type GaAs layer 6. Moreover, the insulating film 12 is etched through a stripe resist pattern 13, whose width is larger than that of a ridge shape which is formed by applying photoresist, as a mask for the formation of a stripe mask 2a. The layers 5 and 6 are subjected to an etching taking advantage of the mask 12a to form a ridge-type stripe structure where the length W1 of the protruding part of the mask 12a is equal to or larger than the width W2 of a crystal grown on the slope of the ridge structure formed through an etching. Then, a current constriction layer 7 is grown in crystal nearly as thick as the step of the ridge-type structure as the mask 12a is kept unremoved to make the step buried to be flat. Next, after the mask 12a is removed, a buried layer 8 and a cap layer 9 are grown in crystal to be flat.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
 ⑯ 公開特許公報 (A) 平1-232784

⑮ Int. Cl. 4
 H 01 S 3/18

識別記号 庁内整理番号
 7377-5F

⑯ 公開 平成1年(1989)9月18日

審査請求 未請求 請求項の数 4 (全8頁)

⑯ 発明の名称 半導体発光素子の製造方法

⑯ 特 願 昭63-58261
 ⑯ 出 願 昭63(1988)3月14日

⑯ 発明者 田中 俊明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑯ 発明者 山下 茂雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑯ 発明者 梶村 俊 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑯ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑯ 代理人 弁理士 中村 純之助

同月 同日

1. 発明の名称

半導体発光素子の製造方法

2. 特許請求の範囲

1. 少なくとも活性層を有するダブルヘテロ構造を有する半導体結晶基板上の予め定められたりッジ形成箇所に、ストライプ状の絶縁膜マスクを形成する工程と；前記絶縁膜マスクを用いて前記半導体結晶の露出面をエッティングして所定のリッジ型導波構造を形成する際に、前記リッジのストライプ幅が前記絶縁膜マスク幅よりも小さくなるように、前記リッジ幅より大なる幅の前記絶縁膜マスクを用いてリッジ段差を形成する工程と；前記絶縁膜マスクを残した状態で前記リッジを構成する半導体とは異なる導電型の半導体結晶で前記エッティングした半導体結晶跡を埋め込むことにより埋め込み層を形成する工程と；前記絶縁膜マスクを取り除いてリッジ表面を含む前記埋め込み層上に前記リッジを構

成する半導体と同導電型の半導体結晶を成長させる工程とを具備して成ることを特徴とする半導体発光素子の製造方法。

2. 上記絶縁膜マスクを残した状態で上記リッジを構成する半導体とは異なる導電型の半導体結晶で上記エッティングした半導体結晶跡を埋め込むことにより埋め込み層を形成する工程において、前記エッティングされた平坦面上の埋め込み層の結晶成長速度を、リッジ段差を形成した傾斜面上のそれと等しいか、それより大なる結晶成長速度下において埋め込むことを特徴とする請求項1記載の半導体光素子の製造方法。

3. 上記予め定められたりッジ形成幅から突出した上記絶縁膜マスクの突出幅をW₁とし、上記絶縁膜マスク下のエッティングされた水平面までのエッティング深さをdとし、前記突出した絶縁膜マスク裏面からエッティングされた水平面に垂線を下したとき、その垂線とエッティングされた傾斜面とのなす角度をエッティング角度θ₁、前記傾斜面と水平面とのなす角度をθ₂とし、そして、

前記エッティングされた水平面と傾斜面との交わる結晶面の異なる境界線が上記埋め込み層の成長と共に前記絶縁膜マスク裏面に到達する点における前記絶縁膜マスクの突出幅を W_1 としたとき、

$$\text{一般式}, W_1 \geq W_2$$

ただし、 $W_2 = d (\tan \theta + \tan (90 - \alpha))$ の関係を満足するよう、前記絶縁膜マスクの突出幅 W_1 を設定することを特徴とする請求項1もしくは2記載の半導体発光素子の製造方法。4. 上記絶縁膜マスクを介して半導体結晶の露出面をエッティングして所定のリッジ型導波構造のリッジ段差を形成する工程において、前記半導体結晶の光放出端面から所定の間隔をおいて島状にリッジが形成されるように前記絶縁膜マスクを形成して前記半導体結晶をエッティングし、前記エッティングした半導体結晶跡を前記リッジを構成する半導体とは異なる導電型の半導体結晶で埋め込むことを特徴とする請求項1、2もしくは3記載の半導体発光素子の製造方法。

晶成長させることが知られている。しかし、リッジ型光導波構造を作製した後に電流狭窄層を結晶成長する際に、特別な工夫がなされていないために、リッジと電流狭窄層との境界において段差を残している。したがって、このあと埋め込み層の結晶成長を行っても段差は解消されず、これがもとで結晶欠陥を生じさせることになる。また、成長した結晶の上部に段差を残した状態で、半導レーザの共振器端面をドライエッティング加工により作製すると、この端面に加工残渣を生じる。このことはレーザ素子の諸特性に影響し、十分な特性が得られない。かかる結晶成長の表面状態とドライエッティングによる端面加工時における端面残渣の問題については、例えば、電子通信学会技術研究報告OQE86-62第9頁から第16頁において論じられている。

[発明が解決しようとする課題]

上記従来技術は、リッジ型導波構造の段差を平坦に埋め込む結晶成長を行う点について何ら配慮がなされておらず、順メサリッジを設けた領域では結晶成長が<100>方向のみならず、

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体発光素子の製造方法に係り、特にリッジ型光導波構造を有する半導体発光素子に好適な製造方法に関する。

[従来の技術]

光ディスク等光情報端末機器の光源として、半導体レーザが使用されており、各種のストライプ構造が提案されている。その中の一つにリッジ型導波構造を有するものが知られている。この種の構造のものとしては、例えば、ニックステンドアブストラクツ オブ ジ 18ス (1986 インターナショナル) コンファレンス オン ソリッド ステート ディバイセズ アンド マテリアルズ、トーキョー、1986年第153頁から第136頁 [Extended Abstracts of the 18th (1986 International) Conference on Solid State Devices and Materials, Tokyo, 1986, pp. 153-156] に記載されているように、リッジ型光導波構造を作成し、その後結晶方位を選択して電流狭窄層を結

<111>と<111>方向にも起こるため、成長の結晶面境界領域では結晶欠陥を生じる問題があった。このため、駆動電流が素子内部に有効に流れず、内部抵抗を増大させる原因となっていた。また、必要な結晶成長の完了した結晶表面は、上記段差に基づく段差を残したままの状態となり、この結晶を用いてドライエッティング加工により共振器端面の作製を行うと、加工端面部に残渣を生じ平滑に作製できないという問題を生じる。周知のように加工端面はできる限り鏡面とする必要があり、このような残渣は共振器としての光の反射に損失を与えるばかりでなく出射光についても散乱による損失を与えるものであり好ましくない。

本発明は、これら従来の技術課題を解決するためになされたものであり、その目的とするところは、リッジ型光導波構造の段差を平坦に埋め込む結晶成長を行い、プレーナで結晶欠陥の出来るだけ少ない改良された半導体発光素子の製造方法を提供することにある。

[課題を解決するための手段]

上記目的は、少なくとも活性層を有するダブルヘテロ構造を有する半導体結晶基板上の予め定められたリッジ形成箇所に、ストライプ状の絶縁膜マスクを形成する工程と；前記絶縁膜マスクを用いて前記半導体結晶の露出面をエッティングして所定のリッジ型遮波構造を形成する際に、前記リッジのストライプ幅が前記絶縁膜マスク幅よりも小さくなるように、前記リッジ幅より大なる幅の前記絶縁膜マスクを用いてリッジ段差を形成する工程と；前記絶縁膜マスクを残した状態で前記リッジを構成する半導体とは異なる導電型の半導体結晶で前記エッティングした半導体結晶跡を埋め込むことにより埋め込み層を形成する工程と；前記絶縁膜マスクを取り除いてリッジ表面を含む前記埋め込み層の上に前記リッジを構成する半導体と同導電型の半導体結晶を成長させる工程とを具備して成ることを特徴とする半導体発光素子の製造方法により達成される。

さらに埋め込み層の形成について詳述すれば、上記絶縁膜マスクを残した状態で上記リッジを構

$$\text{一般式: } W_1 \geq W_2$$

ただし、 $W_2 = d [\tan \theta + \tan(90 - \alpha)]$ の関係を満足するよう、前記絶縁膜マスクの突出幅 W_1 を設定することを特徴とする。

そして、さらに好ましくは、上記絶縁膜マスクを介して半導体結晶の露出面をエッティングして所定のリッジ型遮波構造のリッジ段差を形成する工程において、前記半導体結晶の光放出端面から所定の間隔において島状にリッジが形成されるように前記絶縁膜マスクを形成して前記半導体結晶をエッティングし、前記エッティングした半導体結晶跡を前記リッジを構成する半導体とは異なる導電型の半導体結晶で埋め込むことを特徴とする。

上記絶縁膜マスクを用いて下地の半導体結晶を選択的にエッティングしてリッジを形成した跡に、リッジを構成する半導体とは異なる導電型の半導体結晶で埋め込む理由は、活性層に注入する電流がこの埋め込み層でリッジの外に拡散するのを防止するために設けるもので、いわゆる電流狭窄層と呼ばれるものである。埋め込む結晶の厚さはエ

成する半導体とは異なる導電型の半導体結晶で上記エッティングした半導体結晶跡を埋め込むことにより埋め込み層を形成する工程において、前記エッティングされた平坦面上の埋め込み層の結晶成長速度を、リッジ段差を形成した傾斜面上のそれと等しいか、それより大なる結晶成長速度下において埋め込むことを特徴とする。

そして、好ましくは、上記予め定められたリッジ形成幅から突出した上記絶縁膜マスクの突出幅を W_1 とし、上記絶縁膜マスク下のエッティングされた水平面までのエッティング深さを d とし、前記突出した絶縁膜マスク裏面からエッティングされた水平面に垂線を下したとき、その垂線とエッティングされた傾斜面とのなす角度をエッティング角度 θ 、前記傾斜面と水平面とのなす角度を α とし、そして、前記エッティングされた水平面と傾斜面との交わる結晶面の異なる境界線が上記埋め込み層の成長と共に前記絶縁膜マスク裏面に到達する点における前記絶縁膜マスクの突出幅を W_2 としたとき、

エッティング前の元の結晶の厚さに戻すことになるが、この結晶成長厚さの制御は、エッティング深さ d に応じて周知の結晶成長操作、例えば成長温度、MOCVDガス流量、成長時間などを所定値に設定すれば容易に調整可能である。

また、エッティング時の絶縁膜マスクとしては、選択エッティング時のレジストとして耐え、かつ、後の結晶埋め込み工程時の結晶成長温度において変形しない材質のものであればいずれのものでもよく、結晶中に不要な不純物を拡散しないものが望ましい。ただし、リッジを構成する半導体と同一の導電型の不純物を拡散するものであれば使用してさしつかえない。また絶縁膜マスクの厚さは好ましくは1000Å以上、より好ましくは1000~5000Å、特に好ましくは2000~3000Åである。厚みの好ましい下限値は膜強度の面から設定されるもので、また上限値の好ましい値はエッティングマスクの耐性とエッティング時間から設定されるものであり5000Åより厚くてもさしつかえないが、上記のような理由から実用的に好ましい範囲として

選定された。実用的な絶縁膜マスクの例としては、例えば SiO_2 、Pドープの SiO_2 、 Al_2O_3 、 Si_3N_4 などを挙げることができる。

(作用)

純縁膜マスクを利用して、リッジ型構造の段差を平坦に埋め込むことが可能であることを以下に説明する。

従来技術では、リッジ型構造を形成した後電流狭窄層を結晶成長すると、後の実施例の中で比較例として説明する。第2図に示すように、エッティングによって形成された傾斜面上に結晶成長した部分が結晶5、6で台形に形成されたリッジより高く成長した形状となる。本発明はリッジ型構造の段差を平坦に埋めるように、後で詳述する第4図(a)に示すような絶縁膜マスク12を残し、これを利用して電流狭窄層7を結晶成長する。こうすれば、電流狭窄層7は、第4図(b)に示すように、リッジ型構造の段差を平坦に埋めるように成長する。

このとき、絶縁膜マスクの突き出た部分の長さ

少なくなる。

(実施例)

実施例 1.

以下、本発明の一実施例を図面を用いて説明する。第1図は本発明の一実施例を示す半導体発光素子の断面図であり、第3図(a)～(g)は上記第1図の発光素子を作製するプロセスフロー図である。先ず製造プロセスから工程順に説明すると、第3図(a)において、n型GaAs基板1(厚さ100μm)の上に、n型GaAsバッファ層2(厚さ0.5μm)、n型 $\text{Ga}_{1-x}\text{Al}_x\text{As}$ クラッド層3(厚さ1.5μm, $x=0.45$)、アンドープ活性層 $\text{Ga}_{1-y}\text{Al}_y\text{As}$ 層4(厚さ0.07μm, $y=0.14$)、p型 $\text{Ga}_{1-x}\text{Al}_x\text{As}$ クラッド層5(厚さ1.0μm, $x=0.45$)、p型GaAs層6(厚さ0.2μm)を有機金属気相成長(MOCVD)法により成長させる。つまり、結晶成長の各金属元素の原料ガスとしては、周知の $\text{Ga}(\text{CH}_3)_3$ 、 $\text{Al}(\text{CH}_3)_3$ のごときメチル金属化合物、 AsH_3 をそれぞれ用いた。この後、第3図(b)において、結晶上部に絶縁膜12

W_1 が、エッティングによって形成された傾斜面上に成長する結晶の幅 W_2 に等しいか、それよりも大きくなければならない。もし、後の実施例で詳述する第5図(a) (説明用の比較例)に示すように、 $W_1 < W_2$ であると、電流狭窄層7により平坦に埋めることができず、第5図(b)に示すように段差7bを生じてしまう。このように段差を生じた後、埋め込み層を結晶成長すると、第2図に示したように結晶上部に段差を残し、また(100)面上に成長した結晶とエッティングによって形成された傾斜面上に成長した結晶の境界が多くなり、結晶欠陥を多く導入することになる。しかし、 $W_1 \geq W_2$ であれば、リッジ型構造の段差は電流狭窄層7により平坦に埋めることができる。この後、埋め込み層も平坦に結晶成長するので、後に実施例の中で

詳述する第1図に示したように、結晶上部に段差を生じない。また、(111)面及び(111)面等は露出せず段差を生じないため、成長面は(100)面に限られて、避さざる結晶欠陥は

として SiO_2 膜を0.2μm形成する。さらに、第3図(c)において、ホトレジストを並布して周知のホトリソグラフィ技術により、リッジ形状のストライプレジストパターン13を形成する。この後、第3図(d)において、ホトレジストパターン13をマスクとして絶縁膜12をフッ酸バッファ溶液によりエッティングしてストライプマスク12aを形成する。このストライプマスク12aを利用して、第3図(e)において、リン酸溶液で層5及び6をエッティングする。このとき、第4図(a)で示すように、 $W_1 \geq W_2$ となるようにリッジ型ストライプ構造を形成する。この後、絶縁膜マスクを残したまま、n-GaAs電流狭窄層7をMOCVD法によりリッジ型構造の段差と同程度の厚さだけ結晶成長させ、第3図(f)に示すように段差を平坦に埋め込むようにする。次いで第3図(g)に示すように絶縁膜マスク12aを除去した後、埋め込み層であるp-Ga_{1-x}Al_xAs埋め込み層8(厚さ1.0μm, $x=0.45$)、p-GaAsキャップ層9(厚さ0.5μm)をMOCVD法により結晶成長さ

せた。この後、p電極10、n電極11を蒸着して、劈開スクリュープにより素子の形に切り出す。かくして第1図の断面構造を有する半導体レーザを製造した。なお、单一横モードの半導体レーザを得るため、例えば第4図において、リッジ幅Sを4μmとし、絶縁膜マスク幅を6μmにすれば、

$$W_1 = \frac{6-4}{2} \mu\text{m} = 1.0 \mu\text{m} \text{ となり、その時のエッチング}$$

グ深さd = 0.5μm、水平面と傾斜面の成長速度を等しく設定し、角度α = 35.3°。

$$\text{角度 } \theta = \frac{\alpha}{2} = \frac{35.3^\circ}{2} = 17.65^\circ \text{ とすれば、}$$

$W_2 = d (\tan \theta + \tan(90 - \alpha)) = 0.435 \mu\text{m}$ となり、 $W_1 \geq W_2$ の条件を十分に満すことができた。このとき、第4図(b)のようにリッジ型構造の段差を電流狭窄層7の成長で平坦にでき、埋め込み層を成長して、第1図に示すような結晶上部に段差のない平坦な素子を得ることができた。また、第2図に示す比較のために製造した従来技術による素子に比べ、結晶欠陥を少なくすることができます。

実施例 2.

本発明の他の実施例を第6、7図を用いて説明する。前記第3図と同様のプロセスで結晶成長して素子を作製するが、本実施例では、半導体レーザの共振器端面近傍を電流狭窄層7で埋め込むことにより、共振器端面に電流が注入されない光非励起領域を形成する。この光非励起領域を形成するのは、第3図(d)のホトレジストのバーニングプロセスを変更することにより形成することができる。つまり共振器端面形成予定部近傍における絶縁膜マスクを削除し、島状のマスクとして島状のリッジを形成する。光非励起領域は共振器端面より3~5μm程度設けるのが望ましい。ドライエッティング加工によって共振器端面を形成すれば、上記寸法精度を十分に満足して光非励起領域を作成することができる。本実施例の斜視図は、第6図のようになり、破線でとり囲んだGaは島状リッジを模式的に示しているが、A-A'線での断面図は第1図と同様になり、B-B'線での断面図は第7図となる。つまり、共振器端面

第8、9図は、このようにして製造した半導体レーザの内部抵抗(シート抵抗)と素子の寿命特性についてそれぞれ示した特性図で、本発明による素子の特性Iは従来技術による素子IIに比べて、素子のシート抵抗は平均で4~5Ω低減でき、また素子寿命は温度50°C、6mW定光出力動作で2000時間においても劣化が認められず大幅に改善することができた。

なお、上記実施例において素子の加工は劈開によるものであったが、その他の方法としてドライエッティングによる加工として前記文献「電子通信学会技術研究報告OQE-86-62、第9頁~第16頁」に記載の方法で共振器端面をエッティング加工したが、本実施例による場合は、加工による残渣が加工面に認められず、一方、比較例の従来方法により結晶成長させたものにおいては、上記文献の中で結晶表面に凹凸のある例で指摘されているとおりの多数の残渣が観察された。このことは、本発明により得られた結晶の表面状態が平坦であることを示している。

にはリッジが形成されていない。

本実施例によれば、リッジ型構造の段差を平坦に埋めることができ、かつレーザ素子の端面破壊レベルを向上させることができた。従来技術による素子では端面破壊レベルが50mW程度であったが、本実施例では100mWにおいても劣化がなく端面破壊レベルを少なくとも100mW保障することができた。

〔発明の効果〕

本発明によれば、リッジ型光導波構造の段差を平坦に埋め込むことができるので、結晶欠陥が少なく内部抵抗が小さいプレーナーレーザ素子を得ることができる。このため、開電流値を低減でき、また素子のシート抵抗を下げて素子寿命を向上できた。すなわち、従来技術による素子IIに比べ、本発明の素子Iでは、第8図に示すようにシート抵抗は平均で4~5Ω低減でき、第9図に示すように素子寿命は温度50°C、6mW定光出力動作において2000時間においても劣化が認められず大幅に向上させることができた。

また、レーザ素子の端面近傍を平坦に埋め込みかつ非励起領域とすることことができ、素子の端面破壊レベルを向上させる効果がある。素子の端面破壊レベルは100mWにおいても劣化がなく、長寿命、大出力を可能にすことができた。

本発明では、結晶材料をGaAlAs系としたが、他の材料のInGaAsP/InP系、InGaAlP/GaAs系などに応できることは言うまでもない。

そして、本発明においては結晶表面が平坦化され素子化における結晶切断加工が専門のみならず、周知のドライエッティング加工においても信頼性の高い加工を可能とするもので、加工技術の面からもすぐれた特性を有し、産業の発展に寄与するところ甚だ大である。

4. 図面の簡単な説明

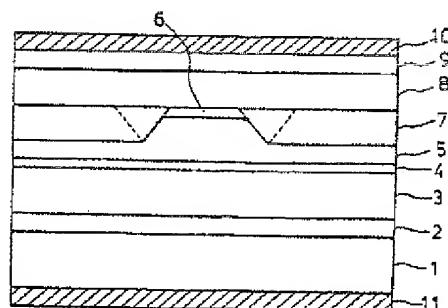
第1図は本発明の一実施例を示す半導体レーザ素子の断面図、第2図は、従来技術による比較例の素子の断面図、第3図(a)～(g)は本発明による一実施例の作製プロセスフロー図、第4、5図(a)、(b)は、それぞれ本発明、従来技術

によるプロセスの説明用部分比較図、第6図は、本発明の他の実施例を示す斜視図、第7図は、第6図のB～B'線断面図、第8図は、従来技術と本発明による素子のシート抵抗の分布を示す特性図、そして第9図は、従来技術と本発明による素子の寿命試験を示す特性曲線図である。

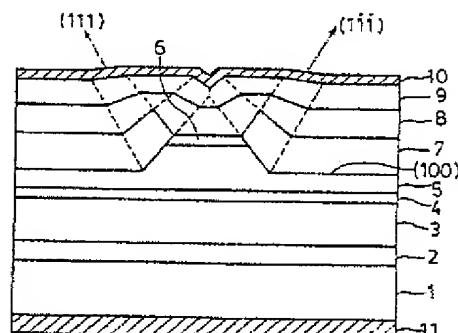
図において、

- 1…n-GaAs基板
- 2…n-GaAsバッファ層
- 3…n-Ga_{1-x}Al_xAsクラッド層
- 4…アンドープGa_{1-y}Al_yAs活性層
- 5…p-Ga_{1-x}Al_xAsクラッド層
- 6…p-GaAs層
- 7…n-GaAs電流狭窄層
- 8…p-Ga_{1-x}Al_xAs埋め込み層
- 9…p-GaAsキャップ層
- 10…p電極
- 11…n電極
- 12…絶縁膜
- 13…ホトレジスト

- 1…n-GaAs基板
- 2…n-GaAsバッファ層
- 3…n-Ga_{1-x}Al_xAsクラッド層
- 4…アンドープGa_{1-y}Al_yAs活性層
- 5…p-Ga_{1-x}Al_xAsクラッド層
- 6…p-GaAs層
- 7…n-GaAs電流狭窄層
- 8…p-Ga_{1-x}Al_xAs埋め込み層
- 9…p-GaAsキャップ層

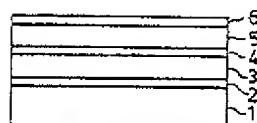


第1図

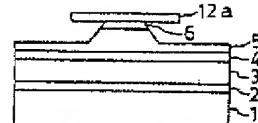


第2図

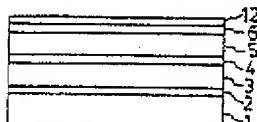
10…P電極
11…n電極
12…絶縁膜
13…ホトレジスト



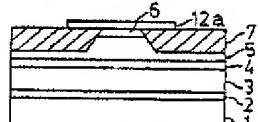
第3図(a)



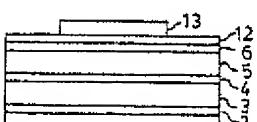
第3図(e)



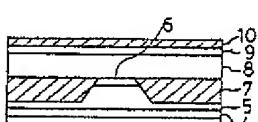
第3図(b)



第3図(f)



第3図(c)

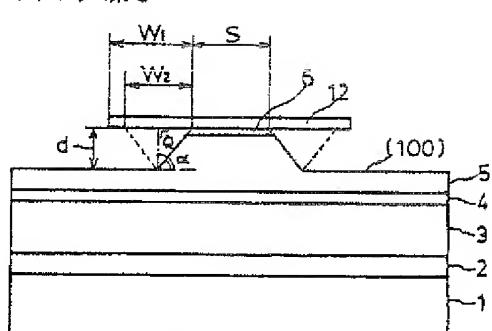


第3図(g)



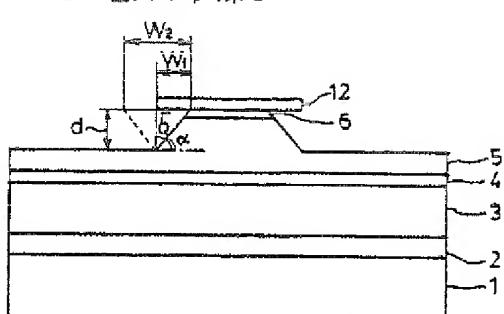
第3図(d)

d…エッチャング深さ

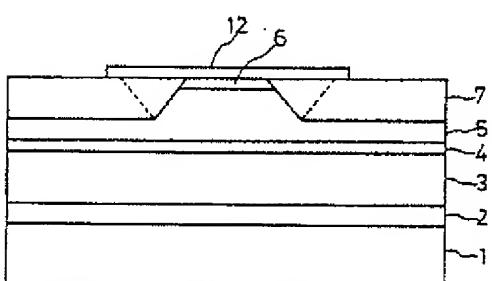


第4図(a)

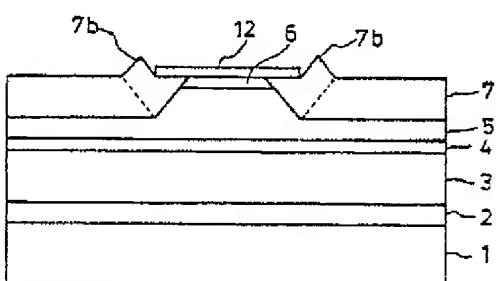
d…エッチャング深さ



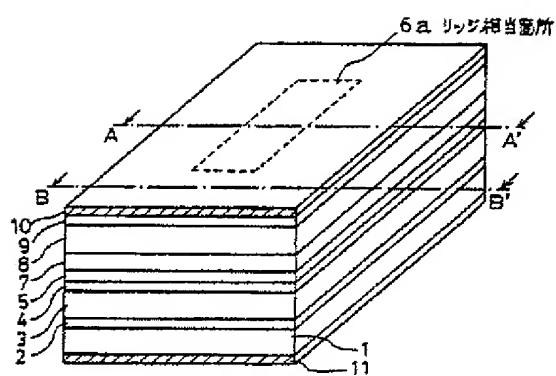
第5図(a)



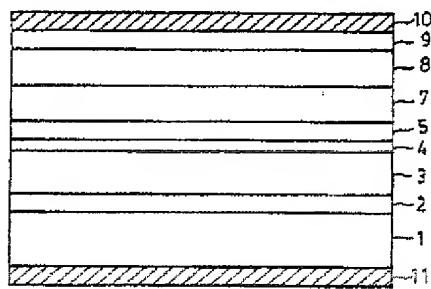
第4図(b)



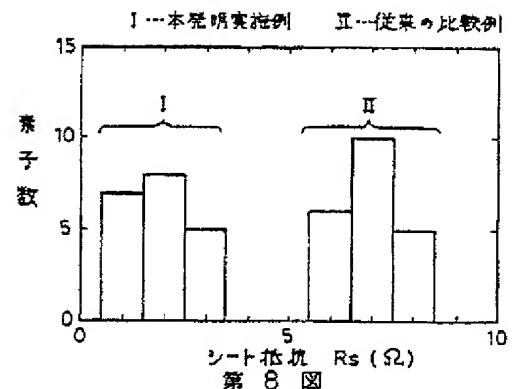
第5図(b)



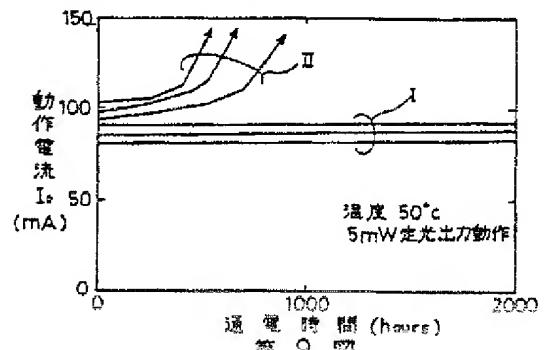
第 6 図



第 7 図



第 8 図



第 9 図